

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-273546

(43)Date of publication of application : 30.09.1994

(51)Int.Cl.

G04F 5/00

A63B 23/04

A63B 71/06

G04G 1/00

(21)Application number : 05-062266

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 22.03.1993

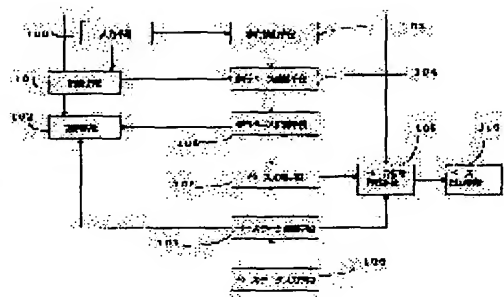
(72)Inventor : SAKUMOTO KAZUSANE

(54) PACE GENERATOR

(57)Abstract:

PURPOSE: To obtain a pace generator which can output a desired pace automatically without interrupting the motion of a user while reducing power consumption.

CONSTITUTION: A walking detecting means 103 detects walking and outputs a walking signal to a walking pace operating means 104. According to the period of the walking signal, the operating means 104 operates a pace and stores it in a walking pace memory means 105. A pace comparing means 106 compares a set pace stored in a pace data memory means 107 with the walking pace stored in the memory means 105 and outputs a pace generation command to a pace signal generating means 109 if the walking pace deviates a range preset for the set pace. The means 109 generates a pace signal corresponding to the set pace and delivers a pace signal to a pace output means 110 thus producing a pace.



LEGAL STATUS

[Date of request for examination]

13.01.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3247183

[Date of registration]

02.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3247183号

(P3247183)

(45)発行日 平成14年1月15日(2002.1.15)

(24)登録日 平成13年11月2日(2001.11.2)

(51)Int.Cl. ⁷	識別記号	F I
G 0 4 F 5/00		G 0 4 F 5/00 A
G 0 4 G 1/00	3 2 4	G 0 4 G 1/00 3 2 4

請求項の数2(全 11 頁)

(21)出願番号	特願平5-62266	(73)特許権者	000002325 セイコーインスツルメンツ株式会社 千葉県千葉市美浜区中瀬1丁目8番地
(22)出願日	平成5年3月22日(1993.3.22)	(72)発明者	佐久本 和実 東京都江東区亀戸6丁目31番1号 セイ コー電子工業株式会社内
(65)公開番号	特開平6-273546	(74)代理人	100096378 弁理士 坂上 正明
(43)公開日	平成6年9月30日(1994.9.30)		
審査請求日	平成12年1月13日(2000.1.13)	審査官	櫻井 仁

最終頁に続く

(54)【発明の名称】 ベース発生装置

(57)【特許請求の範囲】

【請求項1】 所望のペースを設定するペースデータ入力手段(108)と、設定ペースを記憶するペースデータ記憶手段(107)と、時刻を計時すると共に基準クロック信号を作成する計時手段(101)と、ペースデータ記憶手段(107)に記憶した設定ペースデータと、計時手段(101)の出力する計時信号を表示する表示手段(102)と、ペースデータ記憶手段(107)に記憶した設定ペースデータと、計時手段(101)の出力する基準クロック信号からペース信号を作成するペース信号作成手段(109)と、ペース信号作成手段の出力するペース信号に基づいたペースを出力するペース出力手段(110)とを有するペース発生装置において、歩行を検出する歩行検出手段(103)と、

歩行検出手段(103)の出力する検出歩行信号を入力し、かつ、計時手段(101)の出力する基準クロック信号を入力し、歩行のペースを演算する歩行ペース演算手段(104)と、歩行ペース演算手段(104)の出力する検出歩行ペース信号を入力し、記憶すると共に表示手段(102)に検出歩行ペース表示信号を出力する歩行ペース記憶手段(105)と、歩行ペース記憶手段(105)に記憶された検出歩行ペース信号と、ペースデータ記憶手段(107)に記憶された設定ペースデータ信号を入力し、設定ペースデータに比べ、検出歩行ペースが予め設定された範囲以外るときペース信号作成手段(109)にペース作成指示信号を出力するペース比較手段(106)と、を有することを特徴とするペース発生装置。

【請求項2】 所望のペースを設定するペースデータ入力手段（108）と、設定ペースを記憶するペースデータ記憶手段（107）と、時刻を計時すると共に基準クロック信号を作成する計時手段（101）と、ペースデータ記憶手段（107）に記憶した設定ペースデータと、計時手段（101）の出力する計時信号を表示する表示手段（102）と、ペースデータ記憶手段（107）に記憶した設定ペースデータと、計時手段（101）の出力する基準クロック信号からペース信号を作成するペース信号作成手段（109）と、ペース信号作成手段の出力するペース信号に基づいたペースを出力するペース出力手段（110）とを有するペース発生装置において、

歩行を検出する歩行検出手段（103）と、歩行検出手段（103）の出力する検出歩行信号を入力し、かつ、計時手段（101）の出力する基準クロック信号を入力し、歩行のペースを演算する歩行ペース演算手段（104）と、歩行ペース演算手段（104）の出力する検出歩行ペース信号を入力し、記憶すると共に表示手段（102）に検出歩行ペース表示信号を出力する歩行ペース記憶手段（105）と、

歩行ペース記憶手段（105）に記憶された検出歩行ペース信号と、ペースデータ記憶手段（107）に記憶された設定ペースデータ信号を入力し、設定ペースデータに比べ、検出歩行ペースが予め設定された範囲以外のおきペース信号作成手段（109）にペース作成指示信号を出力し、かつ、タイマ手段（209）にタイマ始動開始信号を出力するペース比較手段（106）と、計時手段（101）の出力する基準クロック信号を入力し、ペース比較手段（106）の出力するタイマ始動開始信号を入力し、タイマ動作を開始するタイマ手段（209）と、ペース信号作成手段（109）の出力するペース信号を入力し、かつ、タイマ手段（209）の出力するタイムアップ信号を入力し、ペース出力手段（110）にペース信号を出力することを禁止するペース出力禁止手段（211）と、を有することを特徴とするペース発生装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、所定周期のペース信号を発生させるペース発生装置に関する。

【0002】

【従来の技術】 近年、個人の健康増進を目的としたジョギング等のエクササイズウォーキングが一般に普及してきている。また、運動を補助するために一定の周期のペース音を発生する図12に示す様なペース発生装置が実用化されている。従来のペース発生装置において、使用者はペースデータ入力手段（108）により所望のペー

スを表示手段（102）を見ながら入力する。入力されたペースは計時手段（101）の基準クロック信号でペース信号とされる。次に、入力手段（100）によりペース出力をSTARTさせると、電子音によりペースを出力し、このペース音に合わせて使用者は運動するというようなペース発生装置が知られている。

【0003】

【発明が解決しようとする課題】 しかし、このような従来のペース発生装置では、使用者がペース音を聞くためには入力手段を操作しなければならないため、一旦運動を停止しなければならないという課題を有していた。

【0004】 また、一旦ペース音を出力させると、再び運動を停止して入力手段を操作しない限り、ペース音の出力を続けるので、消費電力の増大につながり電池での駆動が困難になるという課題を有していた。そこで、本発明の目的は、使用者の運動を止めることなく、自動的に所望のペース信号を出力でき、かつ、消費電力を減少し、電池を駆動電源とする小型電子機器への組み込みが可能なペース発生装置を得ることにある。

【0005】

【課題を解決するための手段】 上記課題を解決するために、本発明は第一に歩行を検出する歩行検出手段と、検出した歩行信号から歩行のペースを演算する歩行ペース演算手段と、演算した歩行のペースを記憶する歩行ペース記憶手段と、記憶した検出歩行ペースとペースデータ記憶手段に記憶した設定歩行ペースを比較し、検出歩行ペースと設定歩行ペースの差が、予め設定された範囲以外のおきペース作成手段にペース作成指示信号を出力しペースを出力させるペース比較手段を設ける構成とした。

【0006】 第二に、上記第一の構成にペース比較手段の出力によりタイマ動作を開始するタイマ手段と、タイマ手段のタイムアップ出力によりペース出力手段にペース信号を出力することを禁止するペース出力禁止手段を設ける構成とした。

【0007】

【作用】 図1は、本発明の代表的な構成の一例を示す機能ブロック図である。歩行検出手段103は歩行を検出し検出歩行信号を歩行ペース演算手段104に出力する。歩行ペース演算手段104は、計時手段101の出力する基準クロック信号を入力し、検出歩行信号の周期を測定し、ペースを演算する。歩行ペース記憶手段105は、歩行ペース演算手段104で演算された歩行ペースを記憶する。ペース比較手段106は、ペースデータ記憶手段107に記憶した設定ペースと、歩行ペース記憶手段105に記憶した検出歩行ペースを比較し、検出歩行ペースが設定ペースデータに比べ、予め設定された範囲以外のおきペース信号作成手段109にペース作成指示信号を出力する。ペース信号作成手段109は、ペース作成指示信号を入力し、計時手段101の基準クロ

ック信号からペースデータ記憶手段107に記憶した設定ペースに応じたペース信号を作成し、ペース出力手段110にペース信号を出力してペースを出力する。

【0008】図2は、本発明の代表的な構成の一例を示す他の機能ブロック図である。ペース比較手段106は、ペースデータ記憶手段107に記憶した設定ペースと、歩行ペース記憶手段105に記憶した検出歩行ペースを比較し、検出歩行ペースが設定ペースデータに比べ、予め設定された範囲以外のときペース信号作成手段109にペース作成指示信号を出力すると共に、タイマ手段209にタイマ始動開始信号を出力する。タイマ手段209は、タイマ始動開始信号を入力し、計時手段101の出力する基準クロック信号を計数し、タイマ動作終了時にタイムアップ信号を出力する。ペース出力禁止手段211は、タイムアップ信号を入力し、ペース信号作成手段109の出力するペース信号をペース出力手段に入力することを禁止する。

【0009】

【実施例】以下に、本発明の実施例を図に基づいて説明する。

(1) 第一実施例

図3は、本発明に係るペース発生装置の第一実施例を示す機能ブロック図である。歩行検出手段103は、歩行信号を検出する歩行センサ回路303と、歩行センサ回路303の検出した検出歩行信号を増幅するヒステリシス増幅回路304と、増幅された検出歩行信号をトリガ入力とし、信号を出力するワンショットマルチバイブレータ305とからなり、歩行に同期した信号を出力する。発振回路301の出力信号は、CPU310の基準クロックとしてCPU310に入力されると共に分周回路302により特定の周波数に分周され、CPU310に入力される。CPU310は、発振回路301の出力する基準クロックに同期してROM313に記憶されたプログラムを実行する。入力回路311は、CPU310に接続され、ペースデータ等の設定データを入力する。入力されたデータは表示装置314に表示されると共に、RAM312に記憶される。ペース出力手段110は、ペース信号増幅回路307と、ペース出力装置308からなり、CPU310の出力するペース信号を出力する。

$$T = 1 / 100 \times 60 = 0.6 \text{ (SEC)} \quad \dots (1)$$

また、ペースは1分当りの歩数であるので、ペースP

$$P = 60 \div 0.6 = 100 \text{ (STEP/MIN)} \quad \dots (2)$$

と、歩行ペースが演算される(S104)。この内容をRAM312に記憶すると共に表示する(S106、S107)。

【0013】次に、この演算した歩行ペースと、予め入力し、RAM312に記憶している所望のペースを比較する。このとき、歩行ペースと、設定ペースの差の許容範囲を決めておく。今、設定されたペースデータが12

【0010】図4は、図3で示した機能ブロック図の具体的な回路実施例である。図4において、歩行センサ回路303は、歩行に応じ接点がON、OFFする様になっており接点のチャタリングを抵抗器RとコンデンサCとシュミットトリガインバータ304で吸収する。次に、検出した歩行信号をワンショットマルチバイブレータ305に入力し、一定パルス幅のワンショットパルスを得る。ワンショットマルチバイブレータ305は、トリガ入力に信号が入力されると一定パルス幅の信号を出力し、パルス出力中の再トリガ入力は無視するノンリトリガブルタイプである。この一定パルス幅の信号をCPU310の入力端子IN1に入力する。CPU310は、設定ペース信号に同期したブザー信号をOUT1から出力し、ペース信号増幅回路307で、コイルLの逆起電圧で増幅される。ペース出力装置308は、圧電ブザーでペース信号増幅回路307で増幅された信号で駆動される。

【0011】次に、CPU310の動作を図9、図10のフローチャートで示す。図9は、図1における動作手順を示すフローチャートである。CPU310の入力端子IN1に歩行検出手段103で検出した歩行信号に同期した信号が入力されると、信号の立ち上がりエッジ、或は立ち下がりエッジのどちらか一方で、RAM312内の歩行ペース回数カウンタに1を加える(S100)。ここで入力信号が初めての入力か、2回目の入力か判断し、RAM312内の歩行ペース回数カウンタの内容が1の場合は入力信号の周期を測定できないので、次の信号入力を待つ(S101)。RAM312内の歩行ペース回数カウンタの内容が2の場合は、入力信号の周期測定に移り、RAM312内の歩行ペース回数カウンタの内容を次の測定のためにクリアする(S102)。CPU310は、計時手段101の基準クロック信号を入力して、計時をしている。その内容をRAM312内歩行ペース測定カウンタからリードする(S103)。

【0012】分周回路302の出力する基準クロック信号が100Hzであり、RAM312内歩行ペース測定カウンタの内容が、60である場合入力歩行信号の周期Tは、

$$T = 1 / 100 \times 60 = 0.6 \text{ (SEC)} \quad \dots (1)$$

は、

$$P = 60 \div 0.6 = 100 \text{ (STEP/MIN)} \quad \dots (2)$$

0 (STEP/MIN) で、検出し演算した歩行ペースデータが100 (STEP/MIN) であり、両ペースの差の許容範囲が、 ± 5 (STEP/MIN) である場合、両ペースの差が20 (STEP/MIN) となり範囲外となる。(S108、S109、S110)。

【0014】もし、両ペースの差が範囲内であればペース信号を作成するための準備を行わない(S111)。

両ペースの差が範囲外となると、ペース信号作成の準備に移る。ペース信号は、基準クロックの256Hzで作成するので、256HzのCPU310への割り込みを許可する(S112)。ペース信号は、この256Hzの基準クロック信号をカウントして作成する。設定ペースを出力するためのカウント値CDは、設定ペースをPPとすると、

$$CD = 60 / PP \times 256 \quad \dots (3)$$

となり、256Hzの割込をカウントし、このCDと同じになれば、所望の設定ペースを出力するための信号周期となる(S113、S114)。このCDをRAM312内ペース信号カウンタに記憶する(S115)。CPU310は、出力端子OUT1から、ペース信号増幅回路にブザー信号”H”を出力する。この”H”信号を入力して、圧電ブザーPZは、音を出力する(S116)。

【0015】ここで、音の長さを規定するため基準クロック信号の32HzのCPU310への割り込みを許可する。32Hzの割り込みがあると、32Hzを1クロックカウントし、次の32Hz割り込みで、CPU310の出力端子OUT1からブザー信号”L”を出力する。つまり、31.25(mSEC)間ブザー音を出力する(S117)。図10は、ペース信号を作成する手順を示すフローチャートである。256Hz信号の割り込みにより処理に移る。RAM312内ペース信号カウンタには、式(3)で示したカウントデータCDが格納されており、その内容から256Hz信号の割り込みごとに1を引いていく(S200)。RAM312内ペース信号カウンタの内容が0となったら、新たに式(3)により、所望の設定ペースからカウント値CDを演算し、記憶する(S201、S202、S203、S204)。ここで新たにペース信号増幅回路307にCPU310のOUT1端子から、ブザー信号”H”を出力する。

【0016】(2) 第二実施例

図11は、本発明に係るペース発生装置の第二実施例を示すフローチャートである。図11において、図2の歩行ペース演算手段104の動作手順は、第一実施例で示した通りである(S300～S310)。次に、演算した歩行ペースと、予め入力し、RAM312に記憶している所望のペースと比較し、比較結果が、設定範囲外となると、タイマの始動開始となる。既にタイマが始動している場合は、禁止タイマにデータをセットしない(S312)。タイマがまだ始動していない場合は、禁止タイマカウンタにタイマ時間データをセットする。禁止タイマは、基準クロック信号の1Hzの割り込みごとに減算され、この例では、30秒のタイマ時間となる(S313)。

【0017】次に、ペース信号作成の準備に移る。ペース信号は、基準クロックの256Hzで作成するので、

256HzのCPU310への割り込みを許可する(S314)。次に、所望の設定ペースを記憶しているRAM312から読み出す(S315)。次に第一実施例で示した、式(3)により、設定ペースを出力するためのカウント値を演算し、ペース信号増幅回路にブザー信号”H”を出力することで、音を出力する(S316～S319)。つまり、予め入力しRAM312に記憶している所望のペースと、検出し演算した歩行ペースを比較し、両ペースの差が、許容範囲外となると、一定時間だけ、所望の設定したペースを出力する。

【0018】(3) 第三実施例

図5は、本発明に係るペース発生装置の第三実施例を示す機能ブロック図である。歩行検出手段103において、歩行センサ回路503は歩行を検出して、前置増幅回路504に検出信号を入力する。前置増幅回路504は、検出歩行信号を増幅し、フィルター回路517に出力する。フィルター回路517では、入力した検出歩行信号の周波数成分の内、商用電源ノイズ等を遮断しS/N比を向上させ、主増幅回路519に出力する。主増幅回路519は、検出歩行信号を十分に増幅させ、波形整形回路515に出力する。第二基準電圧発生回路518は、前置増幅回路504と、フィルター回路517と、主増幅回路519に基準となる電圧を供給している。波形整形回路515は、第一基準電圧発生回路516の出力する基準電圧を入力して、検出歩行信号をアナログ信号から、”H”、”L”のデジタル信号に変換する。変換した歩行信号に同期した信号をCPU310のIN1端子に入力する。CPU310の動作は、第一実施例と、第二実施例で示した動作と同じである。

【0019】図6は、図5で示した機能ブロック図の歩行検出手段103の具体的な回路実施例である。図6において、歩行センサ回路503は、圧電素子を張り付けた片持ち梁構造のセンサを用い歩行に応じた振動変移を電荷として出力する。出力された歩行信号をFETにより、インピーダンス変換して、交流結合コンデンサC1を介して、OPアンプA1に出力する。前置増幅回路504は、増幅率 $(1 + R5/R4)$ で検出歩行信号を増幅する。フィルター回路517は、低域遮断周波数 $F_{cl} = 1 / (2\pi C2R6)$ 、広域遮断周波数 $F_{ch} = 1 / (2\pi C3R7)$ のフィルター特性を示す。主増幅回路519で十分に増幅された検出歩行信号は、波形整形回路515のヒステリシスコンパレータA4に入力され、OUTPUT端子に出力される。

【0020】図7は、図6の波形整形回路515のヒステリシスコンパレータA4の一入力端子での検出歩行信号を示す波形である。図8は、図6の波形整形回路515のヒステリシスコンパレータA4の出力端子OUTPUTにおける信号波形である。この信号をCPU310のIN1端子に入力する。なお、この例では、歩行センサ回路に圧電性のセンサーを使用した、歩行を検出

できるものであれば限定されない。また、ペース出力手段110では、圧電プザーを使用した例を説明したが、これも圧電プザーに限らない。

【0021】

【発明の効果】本発明は、以上説明したように検出歩行ペースと、設定した所望の歩行ペースを比較し、両ペースの差が予め設定された許容範囲以外の場合のみ、設定した所望のペースを出力する事で、使用者が運動を一旦停止することなく設定ペースを自動的に知ることが出来る。また、両ペースの比較結果を受け始動するタイマを設けることにより、一定時間経過後に、設定所望ペースの出力を停止することが出来るので、消費電力の低減もできる。また、設定所望ペースとかけ離れた歩行ペースで運動すると、設定所望ペースを出力するので、運動の学習機能を高めることが出来るという効果がある。

【図面の簡単な説明】

【図1】本発明のペース発生装置の代表的な構成の一例を示す機能ブロック図である。

【図2】本発明のペース発生装置の代表的な構成の一例を示す他の機能ブロック図である。

【図3】本発明のペース発生装置の第一実施例を示す機能ブロック図である。

【図4】本発明のペース発生装置の第一実施例を示す回路図である。

【図5】本発明のペース発生装置の第三実施例を示す機能ブロック図である。

【図6】本発明のペース発生装置の第三実施例を示す回路図である。

路図である。

【図7】本発明のペース発生装置の第三実施例の信号波形を示す図である。

【図8】本発明のペース発生装置の第三実施例の他の信号波形を示す図である。

【図9】本発明のペース発生装置の第一実施例のCPUの動作手順を示すフローチャートである。

【図10】本発明のペース発生装置の第一実施例のCPUの動作手順を示す他のフローチャートである。

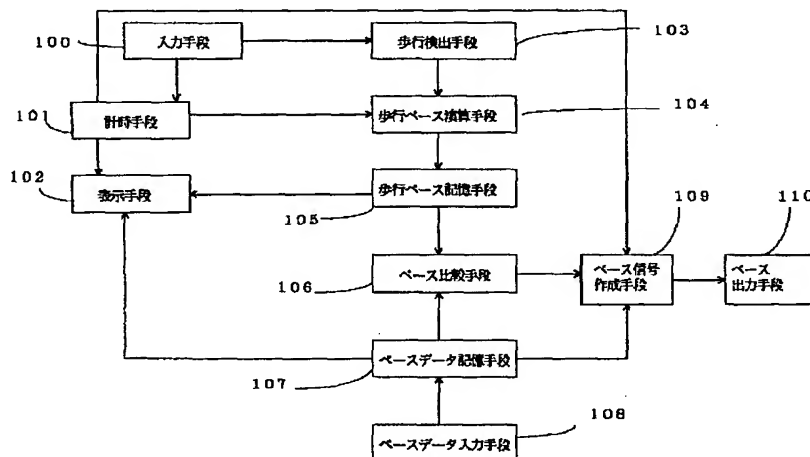
【図11】本発明のペース発生装置の第二実施例のCPUの動作手順を示すフローチャートである。

【図12】従来のペース発生装置の機能ブロック図である。

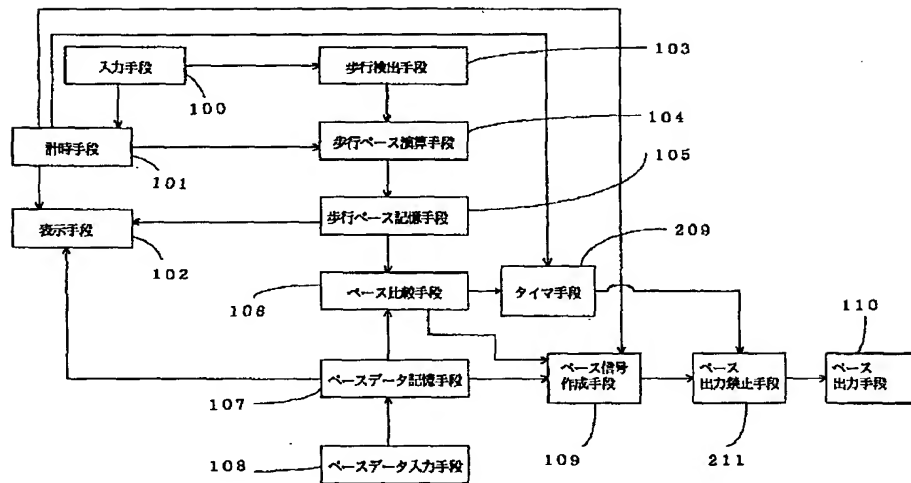
【符号の説明】

- 100 入力手段
- 101 計時手段
- 102 表示手段
- 103 歩行検出手段
- 104 歩行ペース演算手段
- 105 歩行ペース記憶手段
- 106 ペース比較手段
- 107 ペースデータ記憶手段
- 108 ペースデータ入力手段
- 109 ペース信号作成手段
- 110 ペース出力手段
- 209 タイマ手段
- 211 ペース出力禁止手段

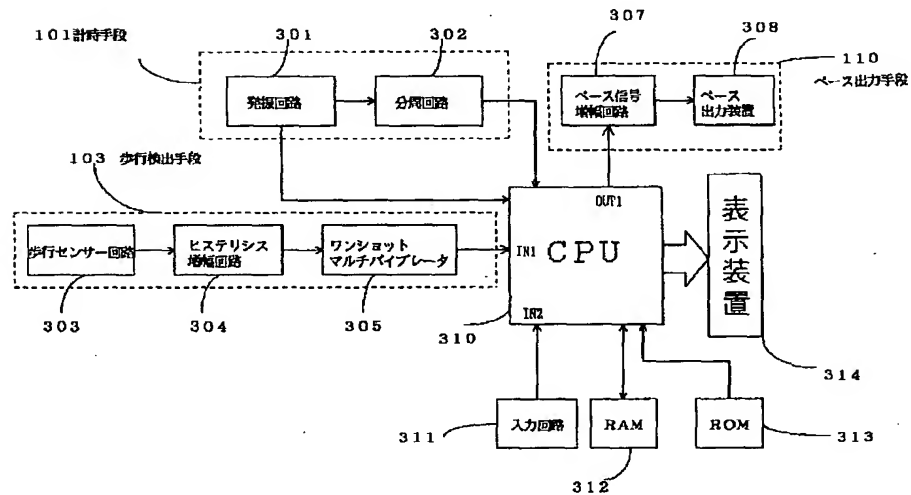
【図1】



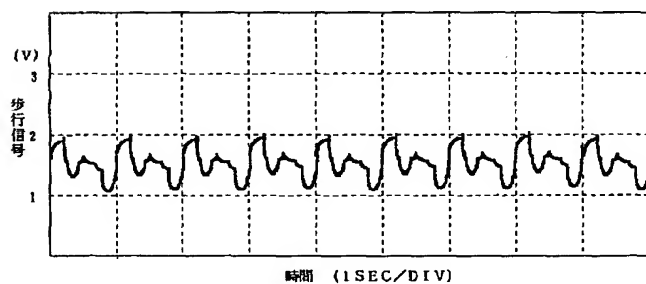
【図 2】



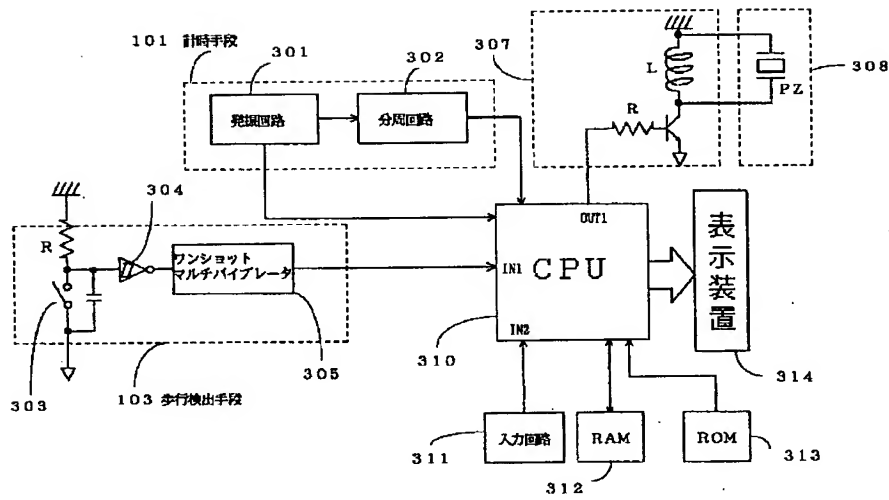
【図 3】



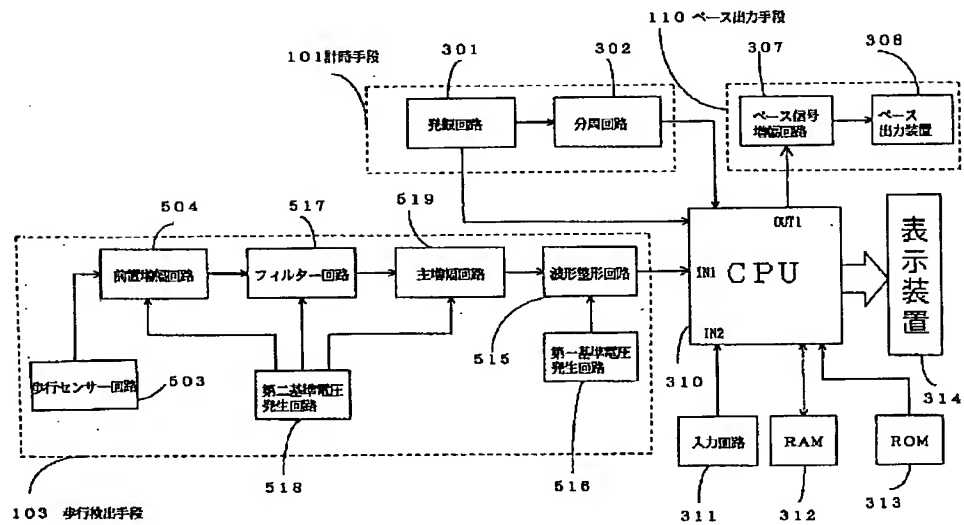
【図 7】



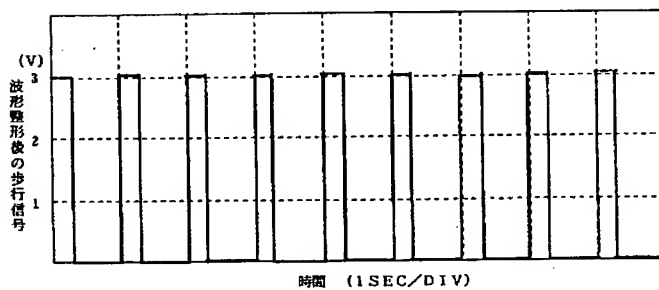
【図4】



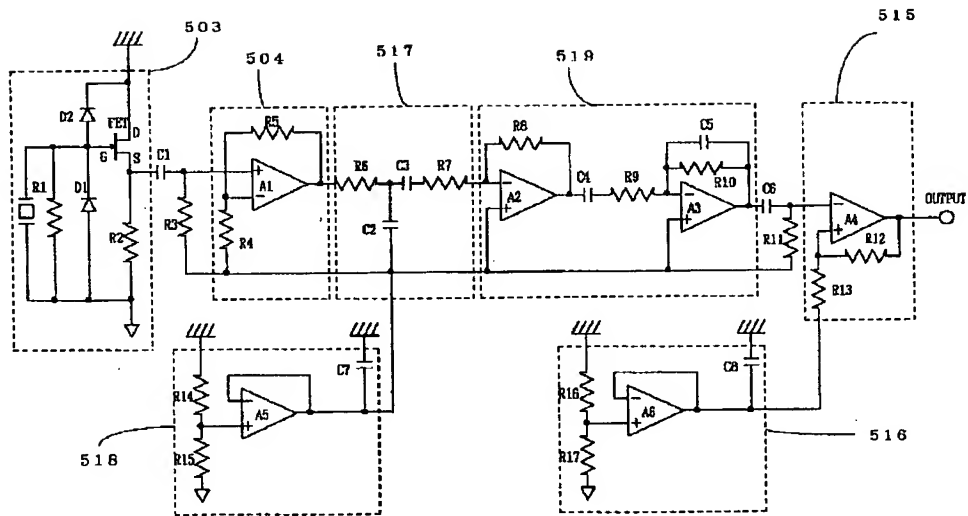
【図5】



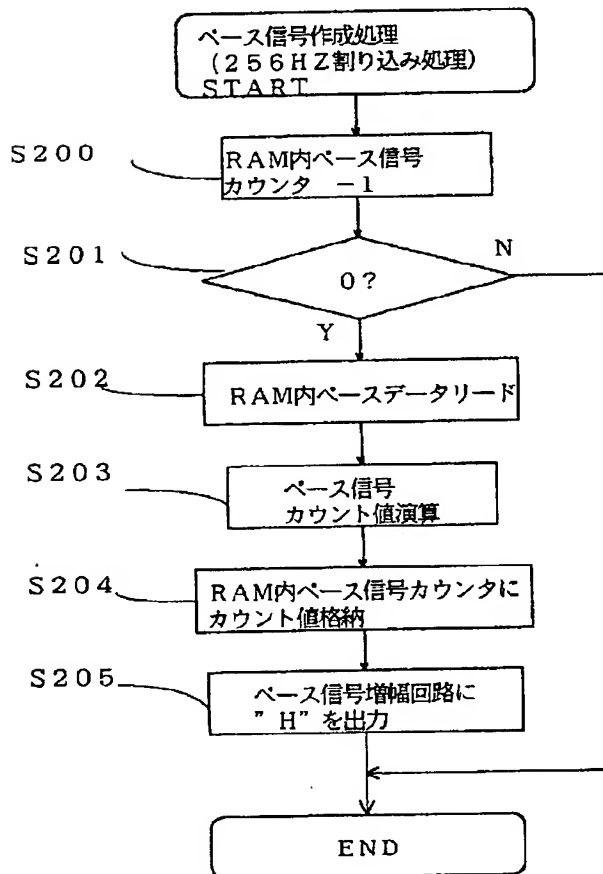
【図8】



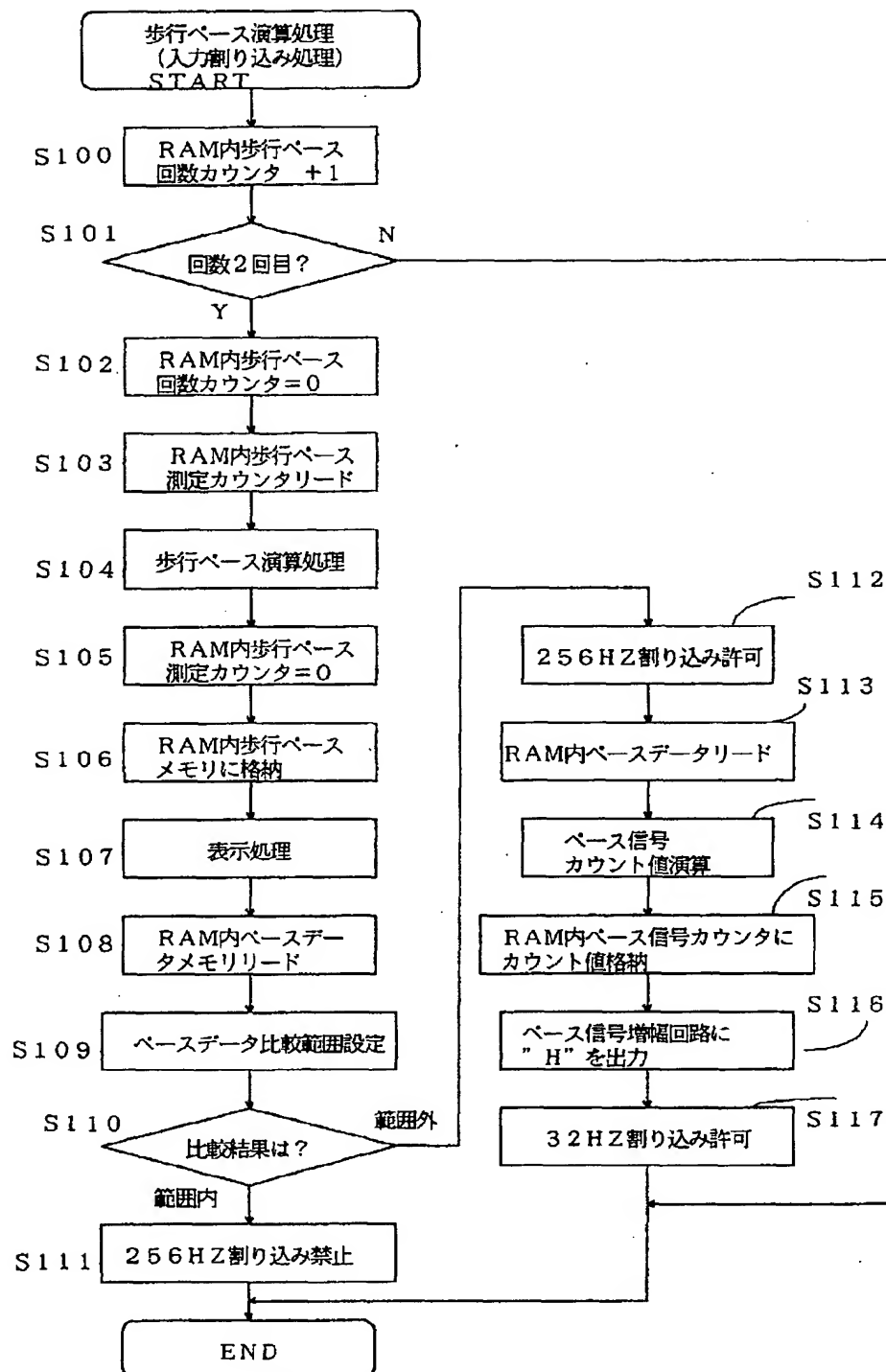
【図6】



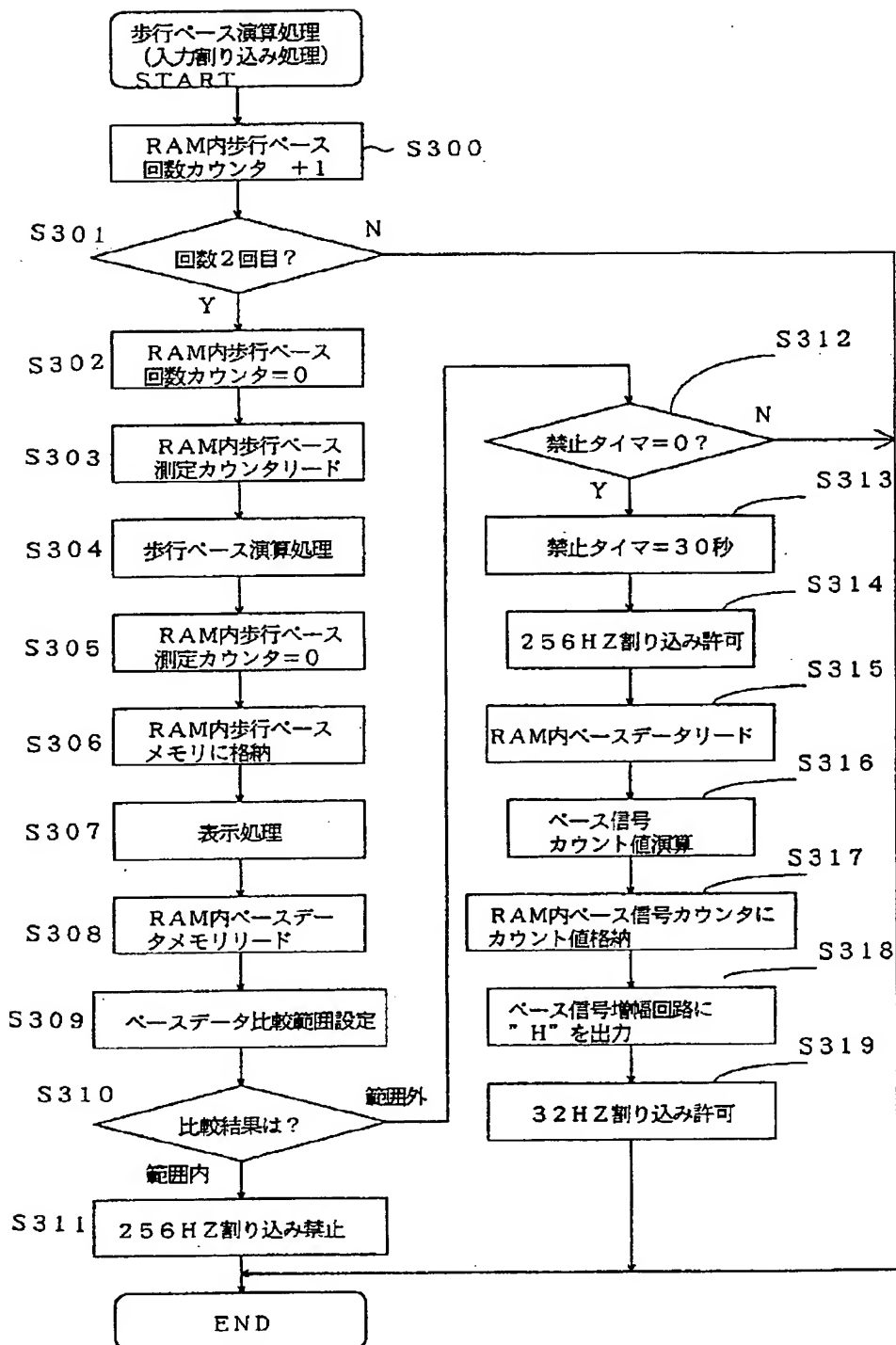
【図10】



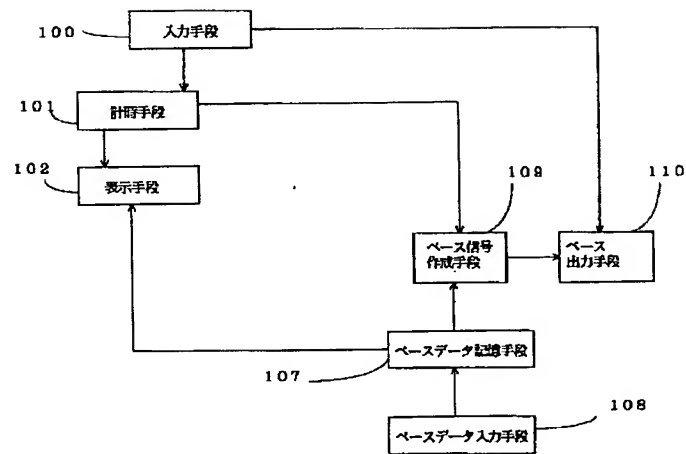
【図9】



【図11】



【図12】



フロントページの続き

(56) 参考文献
 特開 昭61-33680 (J P, A)
 特開 平3-200091 (J P, A)
 特開 昭62-223616 (J P, A)
 特開 昭60-100785 (J P, A)
 実開 昭63-107886 (J P, U)
 実開 平2-2774 (J P, U)
 実開 平1-76655 (J P, U)

(58) 調査した分野(Int. Cl.⁷, DB名)

25

G04F 5/00
 G04G 1/00
 A63B 71/06
 A63B 23/04
 G06M 7/00